

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-156189

(P2001-156189A)

(43)公開日 平成13年6月8日(2001.6.8)

(51)Int.Cl.⁷

H 01 L 21/8247
29/788
29/792
27/115

識別記号

F I

H 01 L 29/78
27/10

3 7 1
4 3 4

テーマコード(参考)

審査請求 未請求 請求項の数4 OL 外国語出願 (全50頁)

(21)出願番号 特願2000-306999(P2000-306999)

(22)出願日 平成12年10月6日(2000.10.6)

(31)優先権主張番号 09/413408

(32)優先日 平成11年10月6日(1999.10.6)

(33)優先権主張国 米国(US)

(71)出願人 500274684

サイファン・セミコンダクターズ・リミテッド

イスラエル国42504・ネタニヤ, ピー・オービ・ボックス 8385

(72)発明者 ボアズ・エイタン

イスラエル国ラアナナ 43259, アチ・ダカー・ストリート 4

(74)代理人 100089705

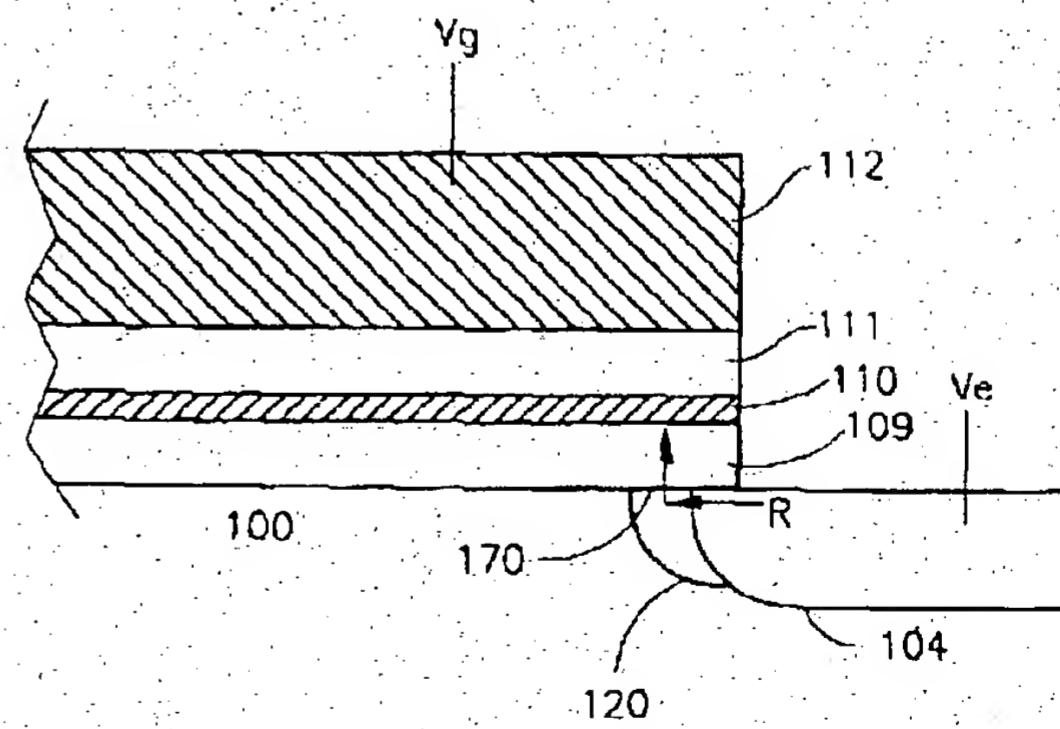
弁理士 杜本 一夫 (外4名)

(54)【発明の名称】自動整合プログラミングおよび消去領域を備えたNROMセル

(57)【要約】(修正有)

【課題】電気的に消去可能で、かつプログラム可能な塗化物含有の読み取り専用メモリ(NROM)において、消去およびプログラミングサイクル数が多くなっても、セル機能の低下、停止がNROMとプログラミングされたNROMセルを消去する方法の提供。

【解決手段】プログラム可能な塗化物含有の読み取り専用メモリ(NROM)セルは、少なくともチャネル100上の酸化物109-塗化物110-酸化物111の層と、少なくとも1個のビットライン接合部に自動整合されたポケットインプラント120上で高温電子注入領域と高温電子注入領域に全体的に自動整合された少なくとも1個のホットホール(R)注入領域を含むことにより達成する。



【特許請求の範囲】

【請求項1】 窒化物のプログラム可能な読み取り専用メモリセル (NROM) において、
チャンネルと、
前記チャンネルの各側における2個の拡散領域であって、各々が前記チャンネルとの接合部を有している拡散領域と、
少なくとも前記チャンネル上の酸化物—窒化物—酸化物 (ONO) 層と、
少なくとも前記ONO層の上方のポリシリコンゲートと、
前記接合部の少なくとも1個に対して自動整合したポケットインプラントと、
前記ONO層内で、かつ前記ポケットインプラント上にある高温電子注入の少なくとも1個の領域と、
前記高温電子注入の少なくとも1個の領域に対して全体的に自動整合された高温ホール注入の少なくとも1個の領域と、を含むことを特徴とする窒化物のプログラム可能な読み取り専用メモリセル。

【請求項2】 前記ポケットインプラントがシングルポケットインプラントであることを特徴とする請求項1に記載のセル。

【請求項3】 前記ポケットインプラントがダブルポケットインプラントであることを特徴とする請求項1に記載のセル。

【請求項4】 チャンネルと、前記チャンネルの各側における2個の拡散領域であって、各拡散領域が前記チャンネルに対する接合部を有している拡散領域と、少なくとも前記チャンネル上の酸化物—窒化物—酸化物 (ONO) 層と、前記接合部の中の少なくとも1個に自動整合したポケットインプラントと、前記ONO層内で、かつ前記ポケットインプラント上の少なくとも1個の高温電子注入領域とを有するNROMセルを消去する方法において、

前記接合部の1個と、近隣のポケットインプラントと、前記接合部近傍の前記ONO層の部分との交錯部においてホールを発生させる段階と、

前記チャンネルの面に沿って前記ホールを加速する段階と、

前記電子注入領域に近接して前記ホールを注入する段階と、
を含むことを特徴とするNROMセルを消去する方法。

【発明の詳細な説明】

【0001】

【発明の分野】 本発明は、一般にフラッシュ (FLASH) で、電気的に消去可能で、プログラム可能な読み取り専用メモリ (EEPROM) および窒化物のプログラム可能な読み取り専用メモリ (NROM) に関する。

【0002】

【発明の背景】 ダブルビットセルは、一般的ではない

が、当該技術分野においては周知である。あるダブルビットセルは、多数のしきい電圧レベルを有し、2個毎のしきい電圧レベルが共に異なるビットを記憶している。その他のしきい電圧レベルは、セルの各側で1ビットを記憶している。窒化物のプログラム可能な読み取り専用メモリ (NROM) セルとして知られる後者の種類のダブルビットセルは、1997年8月1日出願された「非対称チャージトラッピングを利用した2ビットの不揮発性の電気的に消去可能でプログラム可能な半導体メモリセル」 ("Two Bit Non-Volatile Electrically Erasable And Programmable Semiconductor Memory Cell Utilizing Asymmetrical Charge Trapping") という名称の本発明の出願人による出願中の米国特許出願番号第08/905,286号に記載されている。前記の特許出願は参考のために本明細書に含めている。

【0003】 以下で参照する図1、図2および図3は、ダブルビットのNROMセルを概略図示している。セルは2本のビットライン102と104との間で2個に分離されており、個別に帶電可能な領域106および108を除いて单一のチャンネル110を有している。図1から図3までに示すダブルビットセルに対して、個別に帶電可能領域106および108は、ポリシリコン層112の下方の酸化物—窒化物—酸化物の積層 (層109, 110および111) に形成された窒化物層110内に形成されている。

【0004】 領域106に記憶された左側のビットを読み取るには、右側のビットライン104がドレインであり、左側のビットライン102がソースである。このことは矢印113で指示する「読み通し」方向として知られている。領域108に記憶された右側のビットを読み取るには、セルは矢印114で指示する反対方向に読み取られる。このように、左側のビットライン102はドレインで右側のビットライン104はソースである。

【0005】 図2は、領域106の左側ビットを読み取る間にセル内で発生することを全体的に指示している。領域108の右側のビットを読み取る場合、同様の作動が発生する。

【0006】 領域106における左側のビットを読み取るには、左側のビットライン102が典型的には0Vであるソース電圧レベルVsを受け取り、右側のビットライン104が典型的には2Vであるドレイン電圧Vdを受け取る。ゲートは、典型的には3Vである比較的低い電圧Vgを受け取る。

【0007】 ゲート電圧Vgおよびドレイン電圧Vdの存在は、それぞれチャンネル100の中心において空亡層54と反転層52とを誘発する。ドレイン電圧Vdは、チャンネル100の空亡層54まで延びる空亡領域55をドレイン104近傍で誘発するに十分大きい。このことは「バリア降下」として知られ、反転層52からドレイン104まで電子の「突き抜け現象」を起因す

る。突き抜け電流は、右側領域108における電荷の存在によって極最小の制御を受け、従って、左側のビットは右側領域108における電荷の介在あるいは不在には無関係に読み取ることが可能である。

【0008】領域106は、この場合ソース（すなわち、低電圧レベル）として作用する左側のビットライン102の近傍にあるので、領域106の帶電状態によって反転層52がソース102まで延びるか否かを検出する。電子が左側の領域106においてトラップされるとすれば、そこを横切る電圧は反転層52をソース102まで延在させるに十分でなく、「0」が読み取られる。領域106が何ら電荷を有していないとすれば、反対のことがいえる。

【0009】浮動ゲートセルと同様に、図1と図2とに示すセルは消去可能で、かつプログラム可能である。従って、領域106と108とに記憶された電荷の量はユーザーによって制御可能である。

【0010】NROMセルに対して、各ビットは読み取り方向とは反対の方向においてプログラマ可能である。このように、領域106における左側のビットをプログラミングするには、左側のビットライン102が高いプログラミング電圧（すなわち、ドレイン電圧）を受け取り、右側のビットライン104は接地される（すなわち、ソース電圧）。このことが図3に示されている。プログラミング領域108に対しては反対のことがいえる。

【0011】高いプログラミング電圧はソース104から電子を引っ張る。電子がドレイン102に向って加速するにつれて、電子は最終的に窒化物の層110中へ「ジャンプ」するに十分なエネルギーを蓄える。このことが「高温電子の注入」として知られ、それはドレイン102に近い領域ではじめて発生する。ドレイン電圧がもはや介在しなくなると、酸化物の層109や電子がチャンネル100へ戻ってこないようにする。

【0012】ビットはそれらがプログラミングされたのと同じ方向で消去される。しかしながら、消去に対しては、負の消去電圧がゲート12に提供され、正の電圧が、ドレインであるべきビットラインに提供される。このように、左側の領域106において電荷を消去するには、消去電圧が左側のビットライン102に提供される。高度の負の消去電圧は、左側ビットライン102の近傍の領域において電界を形成し、該電界はドレインに近接した領域に記憶された電子を引っ張る。しかしながら、電界はドレインの近傍でのみ強力であり、このため右側の領域108における電荷は減損しない。

【0013】典型的には、プログラミングと消去とは、ドレインとゲートでの電圧のパルスによって実行される。各パルスの後、検証作業が行われ、セルのしきい電圧レベル（すなわち、セルが導電性となるゲート電圧レベル）が測定される。プログラミングの間、しきい電圧

レベルV_{tp}は着実に増加し、そのためセルは読み取り作動の間何ら有効電流は通さない。消去の間、反対のことがいえる。しきい電圧レベルV_{te}は、有効電流が読み取りの間セルに介在するようになるまで減少する。

【0014】残念ながら、多数の消去およびプログラミングサイクルは、所望のしきい電圧レベルを達成するのに要するパルスの数を変更する。パルスに対して、電圧レベルが一定に留まり、パルスの数が増大しうるか、あるいは電圧レベルは所望のしきい電圧レベルが達成されるまで増大しうる。

【0015】一旦消去に必要なゲート電圧が負になり過ぎたり、および（または）プログラミングパルスの数が1まで低下すると、セルはもはや機能するとは考えられない。

【0016】図4、図5および図6は、対数一直線チャートにおいて多数のプログラミングおよび消去サイクルの実験結果を提供している。この実験において、消去のためのゲート電圧レベルは必要に応じて増大し、セルは20,000サイクルの後は機能を停止した。

【0017】図4は、双方のビットに対するプログラミングおよび消去しきい電圧レベルをグラフで示している。曲線60と62とは、それぞれ左方および右方のビットに対するプログラミングしきい電圧レベルを示しており、右方のビットに対するしきい電圧レベルは順方向（逆方向ではない）で測定されている。曲線64と66とは、それぞれ左方および右方のビットのための消去しきい電圧レベルを示している。全ての曲線は、しきい電圧レベルがその点で増大する約2000サイクルまでは比較的一定に留まっていることが注目される。また、逆方向で読み取った左方のビットに対するプログラミングしきい電圧レベルが右方のビットに対するものよりも著しく高いことも注目される。しかしながら、各ビットの消去しきい電圧レベルはプログラミング電圧レベルよりも小さい。

【0018】図5は、プログラミング（曲線70）および消去（曲線72）の後の読み取り電流I_{tr}を示す。双方の電流は約4000サイクルの後は強度に低減する。

【0019】図6は、プログラミングパルスの数（曲線74）および消去の間のゲート電圧（曲線76）とを示す。プログラミングパルスの数は1まで低下し、ゲート電圧は約3000サイクルの後、-6Vから-9Vまで低下する。

【0020】（発明の要約）本発明の好適実施例によれば、少なくともチャンネルの上にある酸化物-窒化物-酸化物の層と少なくとも1個のビットライン接合部に自動整合したポケットインプラントとを有するNROMセルが提供される。前記セルはまた、ONO層内で、かつポケットインプラントの上で少なくとも1個の高温電子注入領域と、前記高温電子注入領域に全体的に自動整合した少なくとも1個の高温ホール注入領域とを含む。

【0021】更に、本発明の好適実施例によれば、ポケットインプラントはシングルあるいはダブルポケットインプラントでよい。

【0022】また、本発明の好適実施例によれば、NROMセルを消去する方法が提供される。セルはチャンネルと、前記チャンネルの各側にある2個の拡散領域であって各々が前記チャンネルとの接合部を有する拡散領域と、少なくとも前記チャンネルの上にある酸化物—窒化物—酸化物(ONO)の層と、前記接合部の少なくとも1個と自動整合するポケットインプラントと、前記ONO層内で、かつ前記ポケットインプラントの上にある少なくとも1個の高温電子注入領域とを含む。前記方法は、前記接合部の1個と、その近隣のポケットインプラントと、前記接合部の近傍のONO層の部分との交錯部においてホールを発生させる段階と、前記チャンネルの面に沿って前記ホールを加速する段階と、電子注入領域に近接して前記ホールを注入する段階とを含む。

【0023】(発明の詳細な説明) 本発明の出願人は、セルのブレークダウンの有効ソースはその電荷の消去が困難である関連の離れたドレイン接合部から電荷トラップされるものと考えている。このことが、以下で参照する図7A、図7B、図7Cおよび図7Dに示されている。

【0024】図7Aから図7Dまでは、1個のセルに対するチャンネルに沿った距離の関数として窒化物の層の右側領域108に記憶された電荷を示す。図7Aは、プログラミングの最初のサイクルの後、80で示す電荷の著しい量がプログラミングおよび消去のためのドレインである右側のビットラインに近接して記憶されることを示している。ドレインから離れるにつれて電荷の量は最終的にはゼロまで低下する。図7Bは、第1の消去サイクルの後に残された82で指示する電荷の量を示す。消去電界は典型的に、セクション82が正であり、セクション80が負であるように(電荷80に介在していた以上の)過剰の電子を除去するのに有効である。このように、セクション82は、正に帶電したことを示すようハッチされている。

【0025】図7Cおよび図7Dは、20,000サイクルの後を除いてそれぞれ図7Aおよび図7Bと平行である。プログラミングの後、図7Aと同様にドレインに近接し、84で示すように著しい電荷がある。しかしながら、また離れたドレイン接合部から注入され、先行の消去サイクルの間は消去されなかった、ドレインからの86で指示する電荷の別のセクションがある。20,000回目の消去サイクルの後、余分のセクション86は依然として残留しており、負に帶電している。最も先行のプログラミングされたセクション84は、正に帶電されたセクション88となっている。

【0026】前述の説明から理解しうるよう、セクション86における拡散した電荷は消去作業の間消去され

ず、そこにトラップされた状態に留まる。トラップされた電荷86は部分的にプログラム化された電荷として作用する。(ビットは実際にすでに部分的にプログラム化されているので)プログラム化されたしきい電圧レベルを達成するために要するプログラミングパルスが益々少くなり、(トラップされた電荷86が除去されていないので)消去しきい電圧レベルを達成するに要する消去パルスが益々多くなっているのはトラップされた電荷86のためである。

【0027】更に、トラップされた電荷86は逆方向の読み取り(図4の曲線60および64)に影響するが、順方向の読み取り(曲線62および66)には影響しないのは、2組の曲線が相違しているからである。順方向の読み取りはトラップされた電荷86の下での領域を突き抜けるので、離れたソースからの負の電荷は逆方向の読み取りに影響する。

【0028】本発明の出願人は、トラップされた電荷86の蓄積が発生するのは、横方向の電界が小さいといえども依然として電子を注入するに十分である、ドレインから離れた領域における高温電子のプログラミングが遅いからであると考えている。消去電界がドレインに極めて近接した領域において消去するに十分なだけ強力であるので、トラップされた電荷86は消去されない。

【0029】本発明の出願人は、ビットライン接合部から「はるかに」離れた電荷のトラッピングを低下させるには接合部からはるか離れた電界を低減させる必要があることを実感した。しかしながら、この電界の低減はプログラミング効率に悪影響を与えてはならない。このように、高度の電界をビットラインの接合部の近傍のみに形成させる必要がある。

【0030】本発明の好適実施例に従って構成され、作動するNROMセルを示す図8Aおよび図8Bを以下で参照する。図8Aと図8Bとは、図1から図3までと類似であり、従って、同じ要素は同じ番号で指示する。また、図8Aと図8Bとに示すNROMセルと従来技術によるNROMセルとのそれぞれ、横方向チャンネルの電界とチャンネル電圧との関係を示すグラフである図9Aと図9Bとを参照する。

【0031】NROMセルは、ビットライン102と104との間のチャンネル100と、それぞれ酸化物—窒化物—酸化物の積層109, 110, 111と、ポロシリコンゲート112とを含む。詳しく図示していないが、プランケットしきいインプラントが通常チャンネルに介在している。更に、本発明の好適実施例によれば、NROMセルは、チャンネル100との各ビットラインの接合部に自動整合した1個あるいは2個の余分のインプラントを含む。図8Aはホウ素インプラント120を示し、図8Bはリンインプラント122を備えたホウ素インプラント120を示す。

【0032】ホウ素インプラント120は、ビットライ

ン102または104の近傍で最大の密度を有するよう構成され、一方、リンインプラント122は、ビットライン102または104から離れたところで最大の密度を有するように構成されている。

【0033】図8Aに示す実施例におけるホウ素の単一のポケットインプラント120は、しきい電圧レベルを増大させ、それに対応して各ビットラインの近傍の領域におけるセルの横方向電界を増大させる。ホウ素はホールを形成し、リンは自由電子を形成するので、図8Bにおける組み合わされたプロファイルは、チャンネルを通しての2種類の密度の差である。このように、「ダブルポケット」のインプラントは、ビットライン102および104の近傍での横方向電界を高めるが、チャンネル100の残りの部分での横方向電界を著しく低下させる。

【0034】双方の実施例において、ビットラインの接合部に近接したところのみ高く、その後は著しく低下するように横方向チャンネルを形成するためにインプラントが使用されている。これは、本発明の実施例と従来技術との双方に対して、右側のビットに対するチャンネル100に沿った位置対それぞれのチャンネルの電界と電位との関係をグラフで示す図9Aおよび図9Bに示されている。これらの図面において、左方のビットラインはソースとして作用し、右方のビットラインはドレインとして作用する。130の位置はホウ素の最大密度の位置であり、132の位置は、介在した場合のリンインプラントの最大密度の位置である。

【0035】各図面において、3種類の曲線が示されている。図9Aにおいて、曲線134はプランケットしきいVtインプラントのみを備えた横方向電界を指示し、曲線136はシングルポケットインプラントを備えた横方向電界を指示し、曲線138はダブルポケットインプラントを備えた横方向電界を指示する。

【0036】曲線134から判るように、プランケットVtインプラントのみが介在する場合、横方向の電界がドレイン接合部の方向に徐々に増大する。同様に、シングルポケットインプラントを備えたセルの横方向電界に対して、曲線136で示すように、電界がほとんどのチャンネルを通して低くなっている以外ドレイン接合部の近傍のホウ素インプラントの近傍では顕著に増大する。実際に、ドレイン接合部の近傍では、シングルポケットインプラントを備えたセルは、ポケットインプラントがないセル（曲線134）よりもより強力な横方向電界を有している。

【0037】曲線138から判るように、ダブルポケットインプラントに対しては、横方向電界はリンインプラントの最大密度132の近傍において鋭い落ち込みがあり、ドレイン接合部に向って鋭く増大している。横方向電界はシングルインプラントあるいはインプラント無しのいずれかに対するよりもダブルインプラントに対してドレインの近傍でより高くなっていることが注目され

る。

【0038】同様に、図9Bに示すチャンネル電位に対しては、曲線140はインプラント無しの場合のNROMセルの電位をグラフ化しており、曲線141はシングルポケットインプラントを備えたセルの電位をグラフ化しており、曲線142はダブルポケットインプラントを備えたセルの電位をグラフ化している。チャンネル電位は、ソースの0Vで開始し、全ての実施例に対してドレインの負のVdに向って低下する。

【0039】ダブルポケットインプラントにより、ドレイン電圧はドレインの極めて近傍でのみ介在する（曲線142）。シングルポケットインプラントに対しては（曲線141）、ドレイン電圧はドレインの近傍の僅かにより大きな領域に亘って広がり、一方インプラントの無いセルに対しては（曲線140）、ドレイン電圧はドレインから離れた有効領域に亘って広がる。

【0040】図9Aおよび図9Bによって指示されるように、シングルおよびダブルポケットインプラントは、ドレインの近傍においてドレイン電圧効果（高度の横電界と強度に負の電圧レベル）を維持する。ダブルポケットインプラントに対しては、ドレインから離れるとドレインから急速な落ち込みがある。

【0041】双方の実施例に対して、全体的に薄い効果領域は、プログラミングした電荷が窒化物の薄い領域110（図8Aおよび図8B）に留まるよう強制する。このため、「この」ビットをプログラミングする場合プログラミング速度を向上させる。更に、プログラミングされた電荷はドレイン近傍の領域において保持されるので、消去電圧は一般にこのビットに対して全ての電荷を除去する。また、前記の薄い効果領域は、「その他の」ビットを読み取る場合効果的なパンチスルーアクションを防ぐ。

【0042】移植後のセル全体に亘るしきい電圧レベルを示す図10を以下参照する。限界電圧レベルはチャンネルのほとんどに亘って低く（150で指示する）、ピーク152はビットライン接合部102および104に近傍にあることが判る。ピーク152の高さと幅とは、インプラントの数（1または2）とインプラントの最大密度の位置との関数である。一般に、全体的な限界電圧レベル150は約1Vである低いレベルであり、一方ピーク152は、例えば約2Vのようなはるかに高いレベルに達する。

【0043】このように、プログラミングすべき領域において、セルのしきい電圧レベルは標準の1.5Vより高いところで始まる。更に、一旦ビットが例えば単一単位の電荷-Qでプログラミングされたとすれば、対象とする領域におけるしきい電圧レベルは、例えば3Vのようなプログラミングされたレベル154まで上昇する。プログラミングされたしきい電圧レベルは点線で示されている。

【0044】消去時、点線で示すようにセルのしきい電圧レベルはセルの中心の一般的なレベル150まで低下する。これはドレイン領域において元のしきい電圧レベル152以下であるので、セルは、少なくともビットライン接合部の近傍の領域において、例えば+Qである正の電荷レベルまで消去される。セルを再プログラミングするには、正の消去状態に対抗し、セルをプログラミングされる負のレベルまで持ってくるに十分な負の電荷を提供する必要がある。このことはプログラミングされる負のレベル（例えば-2Q）までプログラミングし、初期の非帶電状態（例えば0）まで消去する従来技術とは対照的である。

【0045】プログラム化の例えば-Qのような負の電荷と、消去の例えば+Qのような正の電荷との間の状態変化は、従来技術におけるのと同様に一般にプログラム化の-2Qの負の電荷と消去の0Qの非帶電状態との間の差を測定することよりも容易であることが認められる。更に、正の電荷の負の電荷に対する比は等しくある必要は無く、例えば、0.25:1.75のようなその他の比も可能であり、これは本発明に含めていることが更に認められる。

【0046】更に、電荷の低い値（例えば、11Qあるいは-1.75Q対-2Q）は、窒化物の層内の電荷の存在によって起因する電界のサイズを小さくする。このように小さくされた電界は電荷をその所望の位置内に保持しやすくなる。

【0047】更に、ピーク152のしきい電圧レベルのみがプログラミングおよび消去工程に能動的に関与しているので、セルの中心の一般的なレベル150は、いずれかの所望の低いレベルにセット可能である。

【0048】本発明によるセルを製造する方法の例を示す図11から図16までを以下で参照する。

【0049】先ず、図11に示すように、酸化物、窒化物および酸化物の層160、162、164がそれぞれ基板166の頂部において成長しONO構造体の基礎を形成する。前記層160、162および164の典型的な厚さはそれぞれ、50-100Å、20-50Åおよび5.0-100Åである。希望に応じて、5-10³/cm³のP-ウエルあるいはブランケット限界インプラントがONO層が成長する前に基板166を提供することができる。

【0050】次に、ビットラインマスク168が位置される。マスクは、将来のチャンネルの位置の上に置かれたコラムから形成されている。ビットラインはコラム168の間に移植されるべきで、そのため将来のコラムに対して自動整合される。ビットラインマスクは、硬化したフォトレジストあるいは厚い酸化物から形成し得る。

【0051】本発明の好適実施例によれば、ビットラインマスク168は、配置された後、紫外線(UV)で硬化したフォトレジストの層である。これは、標準的なフ

ォトレジスト除去用材を使用しても除去できない硬質のマスクを形成する。

【0052】代替的なビットラインマスク168が、典型的には低圧の化学蒸着(LPCVD)法を使用して、1000Åの最小厚さの厚い酸化物層から形成可能である。次いで、典型的にドライエッチ法を使用してフォトレジスト間で見出される酸化物がエッチングされた後、フォトレジストの層が所望のコラムパターンに溶着される。フォトレジストの層は除去され、厚い酸化物のビットラインマスク168が残る。厚い酸化物のマスクは標準的な溶剤のフォトレジスト除去技術を適用する間は除去できない。

【0053】図12に示すように、ONO層は、ドライエッチあるいはドライ/ウェットエッチの組み合わせを使用してエッチングされ、ビットラインマスク168のコラムの間の酸化物と窒化物の層を除去する。下側の酸化物の層160はビットラインマスク168のコラムの間に留まり酸化物を通して移植される。このことは、チャンネリングを低減するために当該技術分野において一般に実行されている。

【0054】ビットライン104は、次いで、ビットラインマスク168のコラムの間に移植される。典型的には、移植作業は2-6×10¹⁵/cm²までの線量でヒ素の45KeVで行われる。その他の移植および線量レベルも考えられ、それらも本発明の範囲内である。

【0055】この時点では、各セルの左右のビットライン接合部が個別に移植される。各側に対して同じ作業が行われる。1個または2個の移植材料の限界ポケットインプラントが、垂直方向に対してある角度で提供されることによって自動整合されて、ビットライン接合部並びにビットライン接合部の近傍の開放ビットラインの一部の中へ移植される。次いで、この工程は他方の側に対して繰り返される。

【0056】図13は、一列のセルの左側のビットライン接合部170に対する作業を示し、矢印172によって限界インプラントを指示している。インプラントはいずれかの適当なポケットインプラントでよい。シングルインプラントに対しては、1-5×10¹³/cm²の線量までの30-120KeVのホウ素でよい。もしも第2のインプラントがあるとすれば、それは、0.5-2.5×10¹³/cm²の線量までの30-100KeVにおけるリンでよい。製造工程の残りの説明について、「インプラント」という用語は特記なき限りシングルインプラントあるいはダブルインプラントを意味するものとして使用する。

【0057】インプラントは、垂直の直角方向に対して15-45度の角度に位置する。ビットラインマスク168は全てのセルのチャンネルを被覆するので、インプラントは、左側のビットライン接合部に対してのみアクセスを有している。左側のビットライン接合部は（隣接

するチャンネルの左側にある) 開放したビットラインの右側にあるので、インプラントは垂直方向に対して直角に位置する。矢印172によって指示されているように、傾斜したインプラントは、左側のビットライン接合部と接合部の左側にある開放ビットラインの一部にアクセスする。このように、インプラントはチャンネルの左側ビットラインの接合部170に対して自動整合する。

【0058】インプラント線量は、たとえビットラインがチャンネル中へ拡散したとしてもチャンネル部分への十分な移植を保証するに十分高さであるべきである、ビットラインの最右側部分に到達するインプラントは、セルの機能に対してなんら影響をしないが、代わりにインプラントは、ビットラインのインプラント線量を追加する。限界インプラント線量はビットラインのインプラント線量より2オーダー低い大きさであるので、ビットライン内の線量には影響しない。

【0059】角度の選択は、典型的には各インプラント材料の最大密度の所望位置に基づき、典型的には15-45度である。ビットラインマスク168の厚さはシャドウイングの量に影響し、以下に説明するようにインプラントの角度の関数である。

【0060】シャドウすべきビットラインマスク168からのビットライン104の量をSとし、ビットラインマスク168の厚さをh1とし、インプラントの垂直方向に対する角度を α とすれば、 $S = h1 \cdot \tan \alpha$ となる。

【0061】例えば、所望のシャドウイングSが800Åであり、角度 α が20度であるとすれば、厚さh1は2197Åとなる。

【0062】図14は、右側のビットライン接合部176に対する限界インプラント作動を示す。矢印179で指示するインプラントは前述のものと同じ角度であるが、右側のビットライン接合部176に対して、インプラント角度は垂直方向に対して左方である。

【0063】ビットラインマスク168は、ビットラインマスクおよび限界ポケットインプラントマスクとの双方であることが認められる。このように、ビットラインインプラントは、図示のようにポケットインプラントの前か、あるいはその後に発生しうる。更に、右側および左側のビットライン接合部へポケットインプラントを移植する順序は重要ではなく、またビットライン接合部に対するインプラントの自動整合性に影響を与えないことも認められる。

【0064】一旦関連のビットライン接合部の全てが移植されると、ビットラインマスク168は取り外される。UVで硬化したフォトレジストに対して、この方法は、標準的なフォトレジスト除去技術が後続する頂部フォトレジストをプラズマで除去する工程を含む。ビットラインマスク168が厚い酸化物の層で形成されるとすれば、それは標準的なウェットエッティングによって除去

される。

【0065】フォトレジスト要素の全てを除去するのに続いて、表面の酸化物層160がウェットエッティングを使用して除去される。その結果が図15に示されている。基板166内には、ビットライン104と移植されたビットライン接合部170および176がある。ビットラインマスク168が厚い酸化物層で形成されているとすれば、表面の酸化物層160はビットラインマスクと共に除去される。

【0066】標準的なCMOS(相補形金属酸化膜半導体)処理技術によりメモリアレイが仕上げられる。重要な2段階は、ゲート酸化物成長段階とポリシリコンワードライン溶着段階である。

【0067】ゲート酸化物層は、標準的な酸化技術を使用して、アレイ全体に亘って熱的に成長する。ゲート酸化物層20は、典型的にチャネル100上で30-150Åの厚さまで成長する。

【0068】アレイにおいて、酸化段階は、図16において178で指示する酸化物がビットライン104上で成長するようにさせる。ONO要素に窒化物が介在しているため、ONO要素の頂部には酸化物はほとんど添加されない。ビットラインにインプラントが介在するため、ビットライン上の酸化物は厚い。ビットラインの酸化物の厚さが均一である必要があるとすれば、移植段階の後に酸化段階を実行すればよい。

【0069】前述し、かつ図16で示すように、ゲート酸化物が成長すると、ゲート酸化物の層20は、その中にビットラインインプラント材料が介在するためビットライン104に対して2-3倍の厚さである。ゲート酸化物が溶着されるとすれば、この通りではない。

【0070】酸化段階はビットラインが移植された後に行われることが注目される。酸化物が成長するとすれば、ビットラインは酸化物のキャップが欠如するため外方に拡散しうる。このためチップのCMOS領域を汚染する可能性がある。本発明の好適実施例によれば、酸化物の成長段階によって炉に少量の酸素を提供し、一方その中の温度をゆっくりと上昇させることによって、チップを酸化物の薄い膜で包み込む。温度上昇は典型的に700°Cから始まる。一旦所望の温度に達すると、全量の酸化物を炉に入れるべきである。

【0071】最後の段階は、標準的な蒸着技術によるポリシリコンゲートとワードライン20の蒸着である。その結果、図15に示す列ができる。

【0072】標準的なCMOSバックエンドは、この時点でアレイを保護する特殊なマスクな何ら使うこと無しに継続する。

【0073】单一ビットのNROMセルについての本発明の代替実施例を示す図17Aと図17Bとを簡単に参考する。図17Aはセルの右側でシングルポケットインプラント120を有するNROMセルを示し、図17B

はセルの右側で2個のポケットインプラントを有するN ROMセルを示す。

【0074】図17Aと図17Bとに示す2個のシングルビットセルは、図8Aと図8Bとに示すダブルビットセルと同じ特性を有していることが認められる。このように、図9Aと図9Bとにそれぞれ示す横方向電界とチャンネル電位の改良された品質が、右側のビットライン104がドレインである場合、プログラミングの間に図17Aと図17Bとに示すセルに適用可能である。

【0075】更に、図10に示す選択的な限界レベルは、図17Aおよび図17Bに示すシングルビットセルにも適用可能であることが認められる。特に、限界電圧レベルはチャンネルのほとんどを通して低く、(150で指示する) ピーク152は右側ビットラインの接合部104の近傍に位置している。

【0076】消去メカニズムにおけるポケットインプラントの効果を示す図18を参照する。ビットライン104に消去電圧 V_{BL} が提供されると、ホールRが、バンド間のトンネルリングによって、ビットライン104のチャンネル100との接合部において形成される。ポケットインプラント120は、所定の量のビットライン電圧 V_{BL} に対して形成されたホールRの数を増加させる。同数のホールが所望されるとすれば、より低いビットライン電圧が使用可能で、一般に望ましい結果が得られる。

【0077】図9Aに関して説明したように、ポケットインプラント120はまた、ポケットインシプラント領域における横方向電界を顕著に増大する。横方向電界は、ホールRを加速することによって、それらは「ホットホール」となる。ホットホールRは、ポケットインプラント120の170で指示する面に沿って残る。

【0078】次いで、ゲート112において電圧 V_g によって発生した垂直方向電界は、ホットホールRを窒化物の層110中へ引き込む。横方向電界はポケットインプラント120の近傍でホットホールRに集中するので、ホットホールRは、ポケット120の上方にある窒化物110の部分中へ主として注入される。これは、高温の電子がプログラミングの間に注入されるのと同じ領域である。このような「自動整合した」ホットホール注入によって、全体的にプログラミングが行われるところで消去が確実に行われるようになる。

【0079】ポケットインプラント120は、ホットホール注入(例えばプログラミング)およびホットホール注入(例えば消去)を同じ領域に集中させるよう最適化する必要がある。このことが図19A、図19Bおよび図19Cに示され、これらの図面を以下で参照するが、実線は電子注入の領域を概略図示し、点線はホットホール注入領域を概略図示している。また、それぞれ図19A、図19Bおよび図19Cに対する消去の後の結果の電荷分布を示す図20A、図20B、図20Cを参照する。

【0080】図19Aから図19Cにおいて、垂直の線はドレイン接合部の縁部を指示する。全ての線量に対して、電子移植は、ポケットインプラントの上方に加えてドレインの上方でも行われる。(図20A-図20Cにおいて130で指示する) ドレインの上方で蓄えられた電荷は、チャンネルの限界電圧 V_t の影響を与えないので、除去する必要はない。

【0081】図19Aにおいて、インプラントは低い線量である。その結果、ホットホール注入は電子注入領域の中心のみにおいて行われる。この線量レベルに対して、領域132(図20A)はドレイン104に近い領域134がたとえ電荷を有していないとしても消去後帶電状態に留まる。

【0082】図19Bにおいて、インプラントは高線量である。ホール注入領域は電子注入領域を越えて延びている。図20Bにおいて136で指示するこの領域はいずれの電子とも結びつかないホールを有している。これは「過度の消去」であって、これも望ましくない。

【0083】図19Cにおいては、インプラントはより最適な線量である。ホール注入領域は電子注入領域が終わるところで終わる。このように、図20Cにおいては、過度の消去あるいは過度のプログラミング領域はない。接合部の次にホール注入が何ら発生しない領域138がある。領域138における電子はセルのしきい電圧 V_t に影響することはほとんど無いので、これは問題ではない。接合部から離れてホールあるいは電子が存在すると、反対方向に読み取るとき(すなわち、「反転 V_t 」)、接合部が限界レベルに強度の影響を与えるので接合部から離れた電子およびホール注入の自動整合性が重要である。

【0084】消去速度はバンド対バンドのトンネリングの量の関数であり、ポケットインプラント120がバンド間のトンネリングを増大させるので、線量もまた最大の消去速度を保証するために最大のバンド間のトンネリングを提供するよう最適化する必要がある。0.15ミクロン技術に対して各種の所望の特性を最適化する線量は、垂直方向から20度の角度において提供される60KeVにおけるホウ素の $1-4 \times 10^{13} / \text{cm}^2$ のインプラントである。

【0085】当該技術分野の専門家には、本発明は特に図示し、上述したものに限定されないことが認められる。本発明の範囲は特許請求の範囲によって規定される。

【図面の簡単な説明】

【図1】図1は、従来技術によるダブルビットの窒化物のプログラム可能な読み取り専用メモリ(NROM)セルの作動示す概略図である。

【図2】図2は、従来技術によるダブルビットの窒化物のプログラム可能な読み取り専用メモリ(NROM)セルの作動示す概略図である。

【図3】図3は、従来技術によるダブルビットの窒化物のプログラム可能な読み取り専用メモリ(NROM)セルの作動示す概略図である。

【図4】図4は、長い直線チャートにおける多数のプログラミングおよび消去サイクルの実験結果をグラフ表示する図面である。

【図5】図5は、長い直線チャートにおける多数のプログラミングおよび消去サイクルの実験結果をグラフ表示する図面である。

【図6】図6は、長い直線チャートにおける多数のプログラミングおよび消去サイクルの実験結果をグラフ表示する図面である。

【図7】図7Aおよび図7Bは、それぞれプログラミングおよび消去の第1のサイクルの後の従来技術によるNROMセルの状態を概略図示する図面である。図7Cおよび図7Dは、それぞれプログラミングおよび消去の20,000回目のサイクルの後の従来技術によるNROMセルの状態を概略図示する図面である。

【図8】図8Aおよび図8Bは、図8Aのセルがシングルポケットインプラントを有し、図8Bのセルがダブルポケットインプラントを有している、本発明の好適実施例によって構成され、作動するNROMセルの2種類の代替実施例を概略図示する図面である。

【図9】図9Aおよび図9Bは、図8Aおよび図8Bに示すセルに対する横方向チャンネル電界とチャンネル電位とをグラフ表示する図面である。

【図10】図10は、図8Aと図8Bとに示すセルに対するしきい電圧レベルの全体形状をグラフ表示する図面

である。

【図11】図11は、本発明による一列のNROMセルの製造工程を概略図示する図面である。

【図12】図12は、本発明による一列のNROMセルの製造工程を概略図示する図面である。

【図13】図13は、本発明による一列のNROMセルの製造工程を概略図示する図面である。

【図14】図14は、本発明による一列のNROMセルの製造工程を概略図示する図面である。

【図15】図15は、本発明による一列のNROMセルの製造工程を概略図示する図面である。

【図16】図16は、本発明による一列のNROMセルの製造工程を概略図示する図面である。

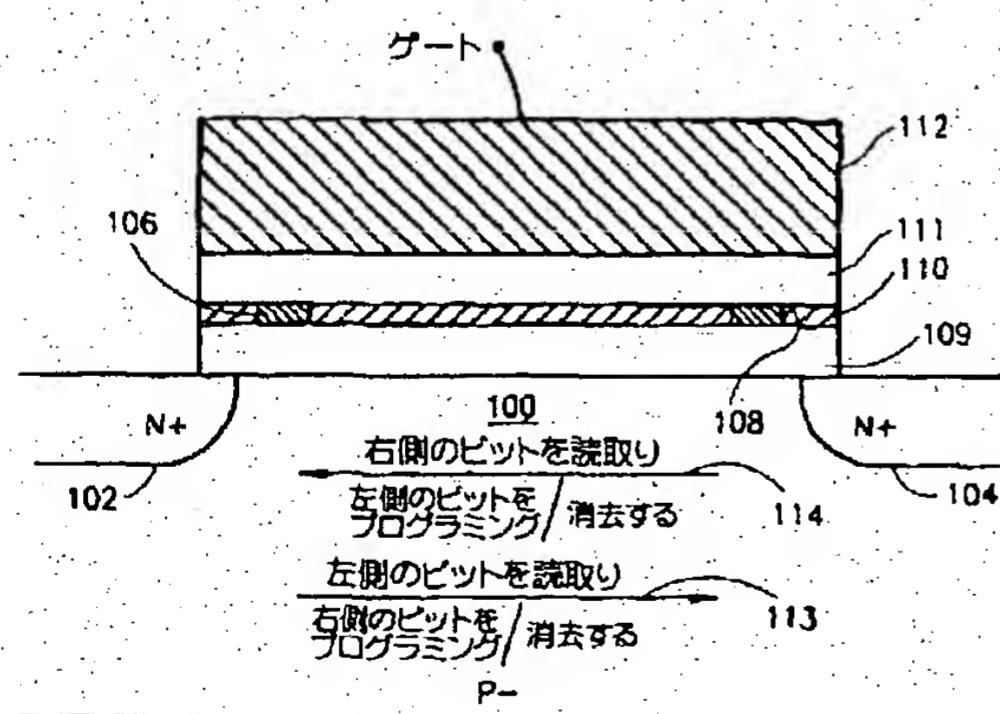
【図17】図17Aおよび図17Bは、図17Aに示すセルがシングルポケットインプラントを有し、図17Bに示すセルがダブルポケットインプラントを有している、本発明の第2の好適実施例によって構成され、作動するNROMセルの2個のシングルビット実施例を概略図示する図面である。

【図18】図18は、本発明によるセルにおけるホットホール注入機構を概略図示する図面である。

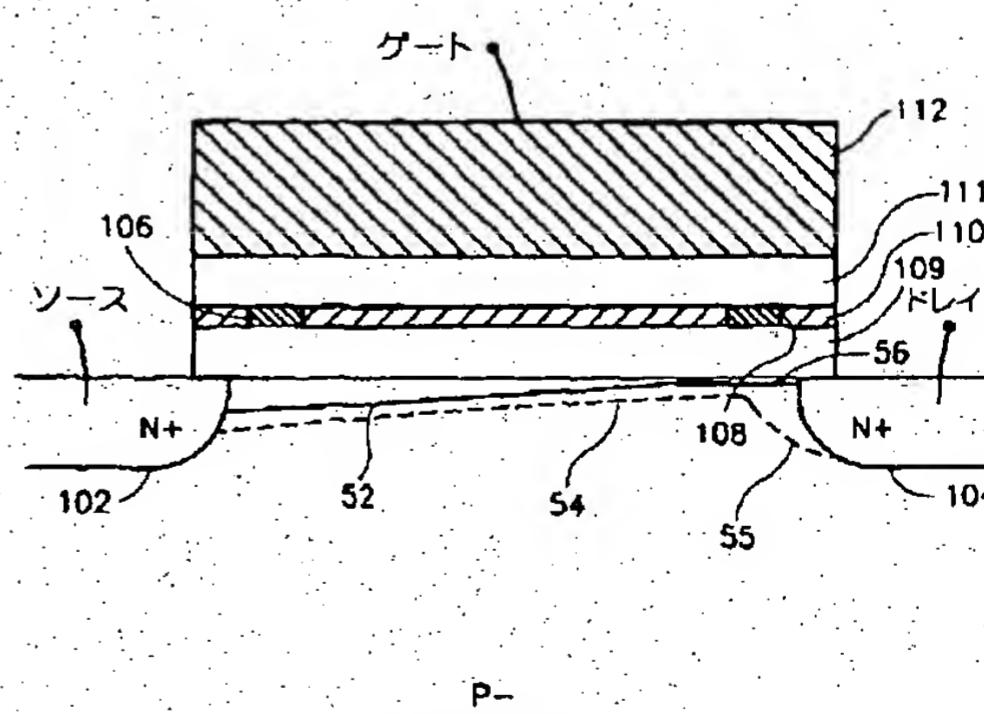
【図19】図19A、図19Bおよび図19Cは、本発明によるセルにおける種々のインプラント線量に対する高温電子注入領域およびホットホール注入領域を概略図示する図面である。

【図20】図20A、図20Bおよび図20Cは、それぞれ図19A、図19Bおよび図19Cでの消去後の電荷分布を概略図示する図面である。

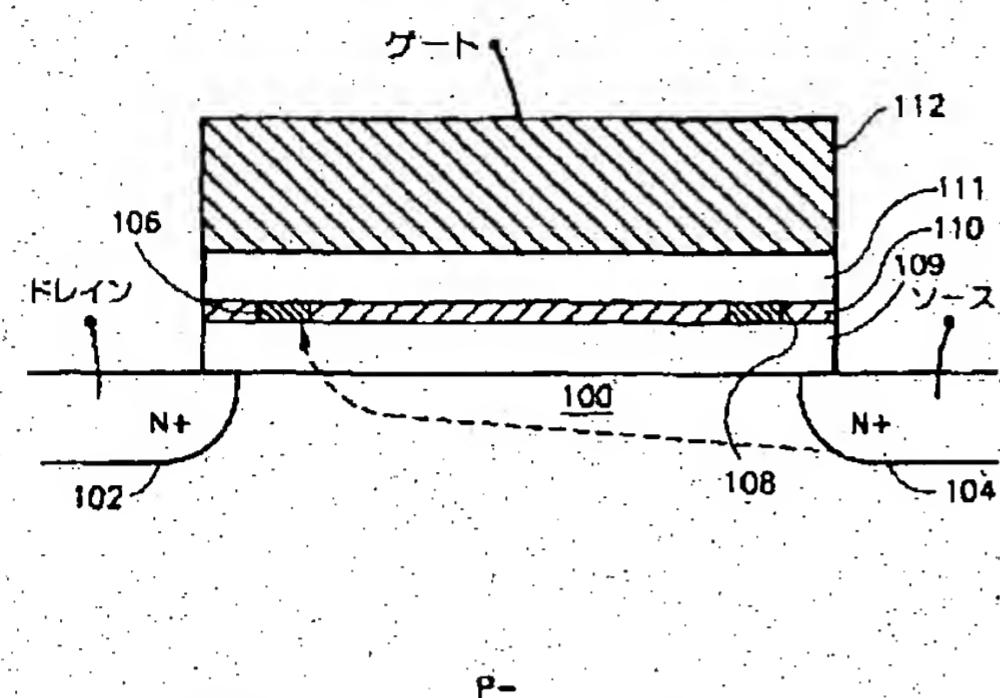
【図1】



【図2】

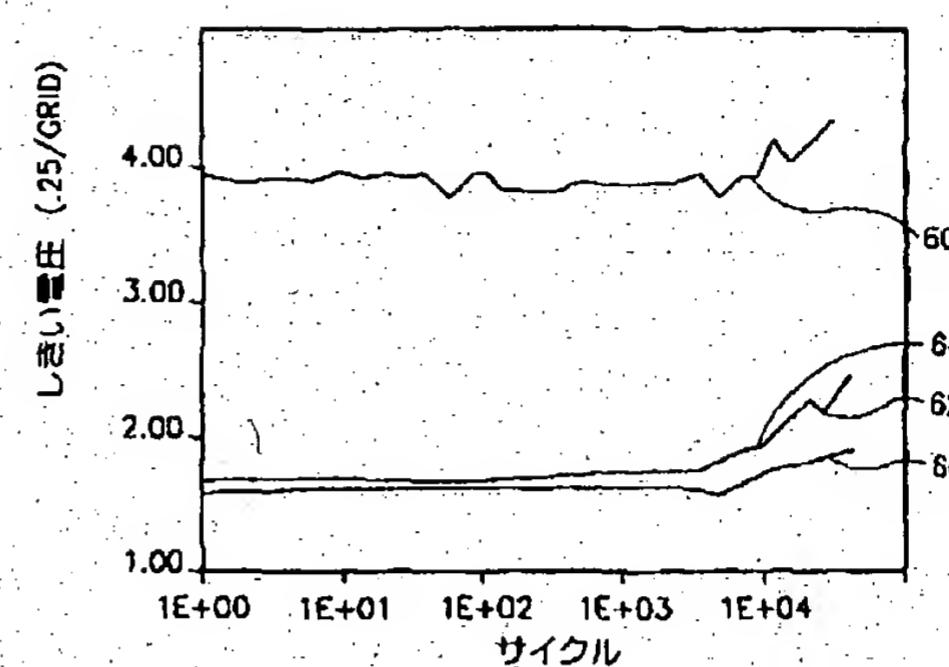


【図3】

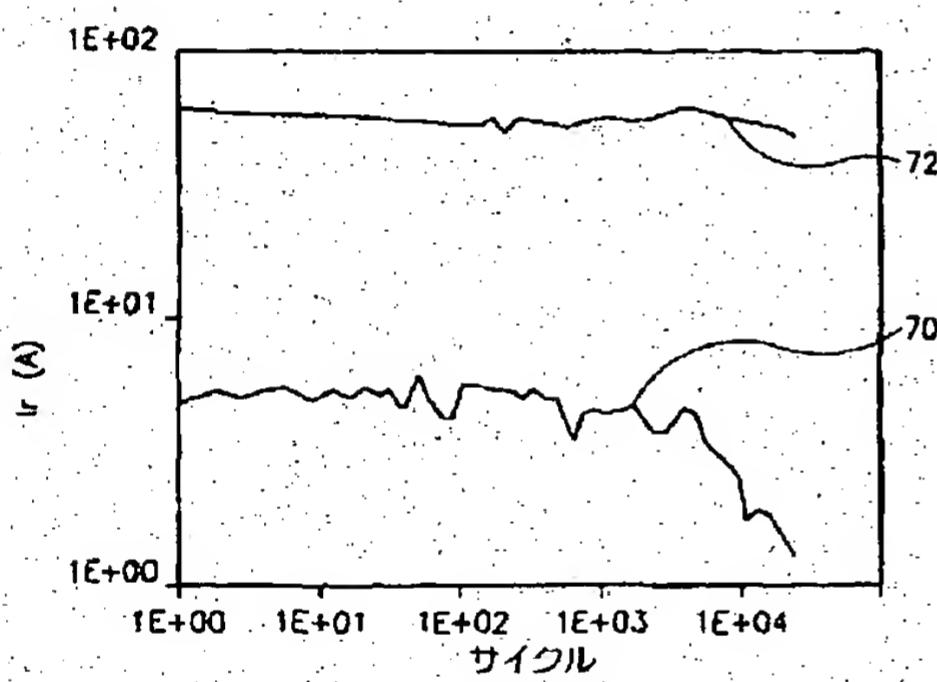


従来の技術

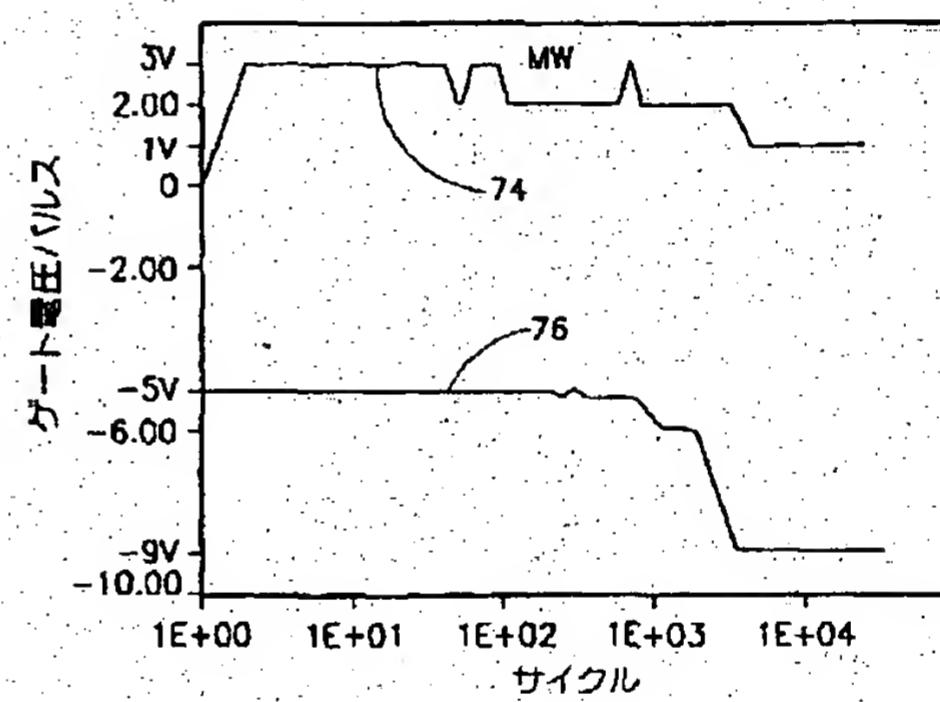
【図4】



【図5】



【図6】



【図7】

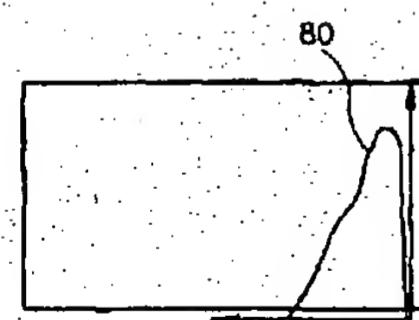


FIG.7A

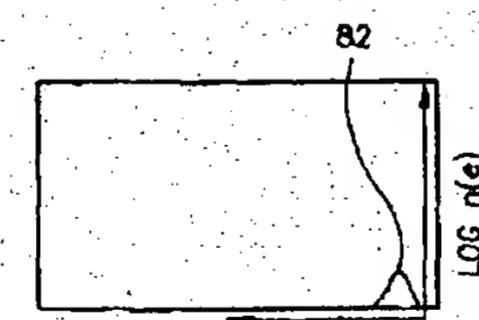


FIG.7B

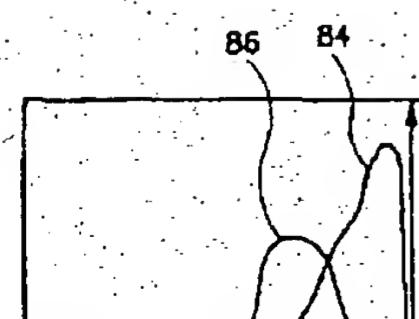


FIG.7C

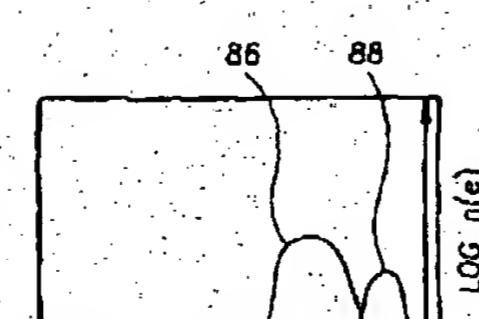
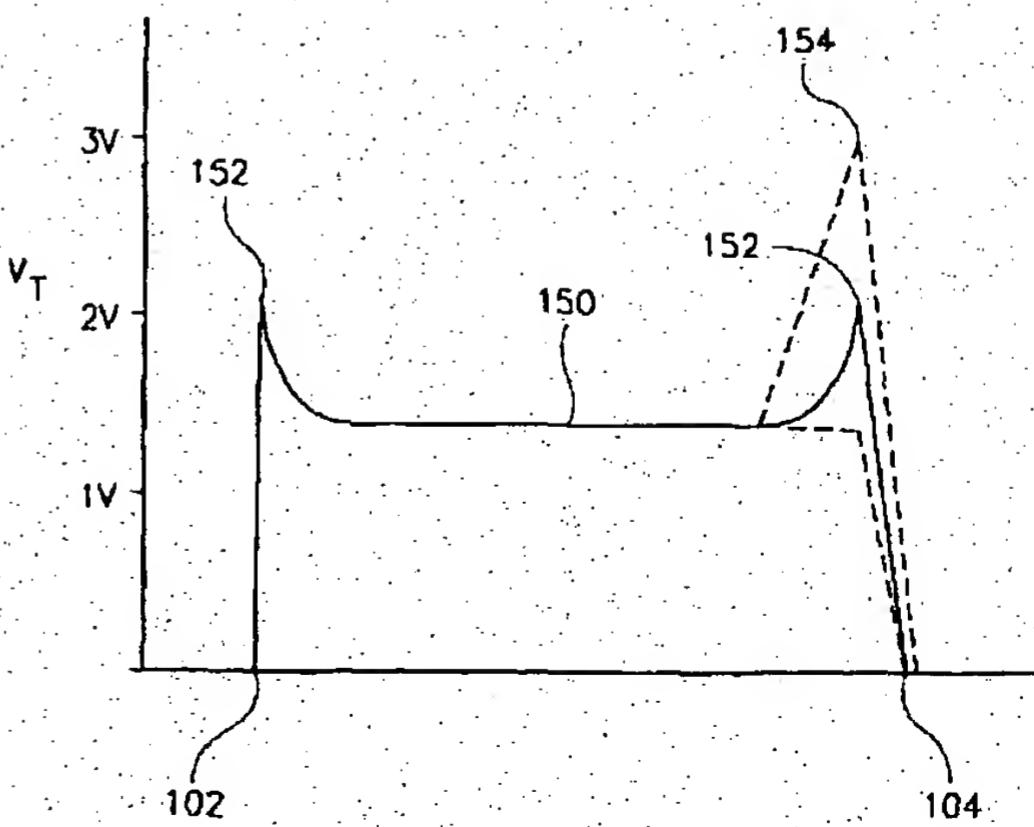


FIG.7D

【図10】



【図8】

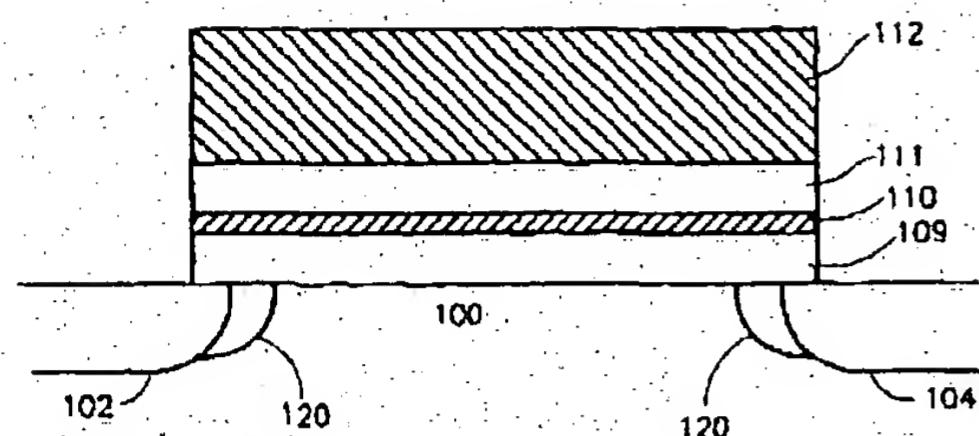


FIG.8A

【図9】

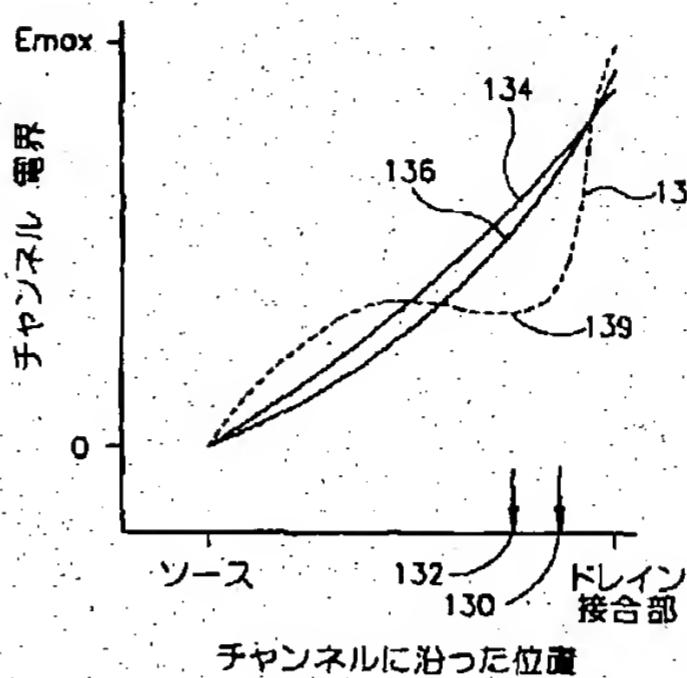


FIG.9A

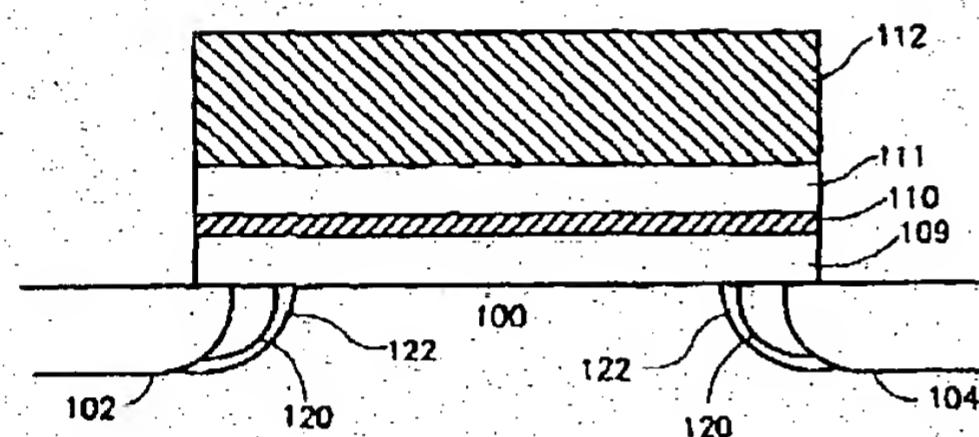


FIG.8B

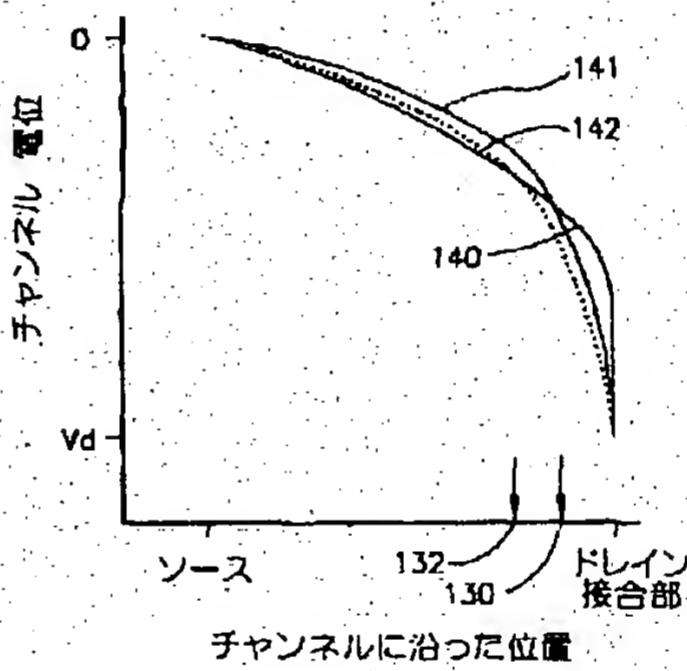
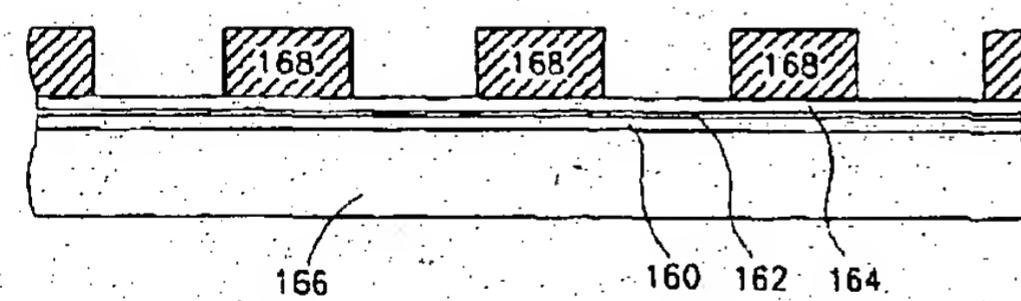
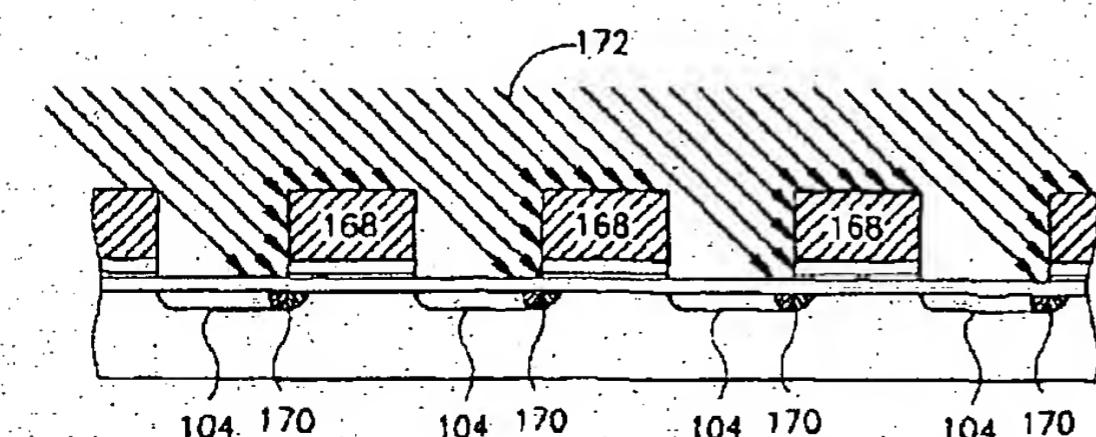


FIG.9B

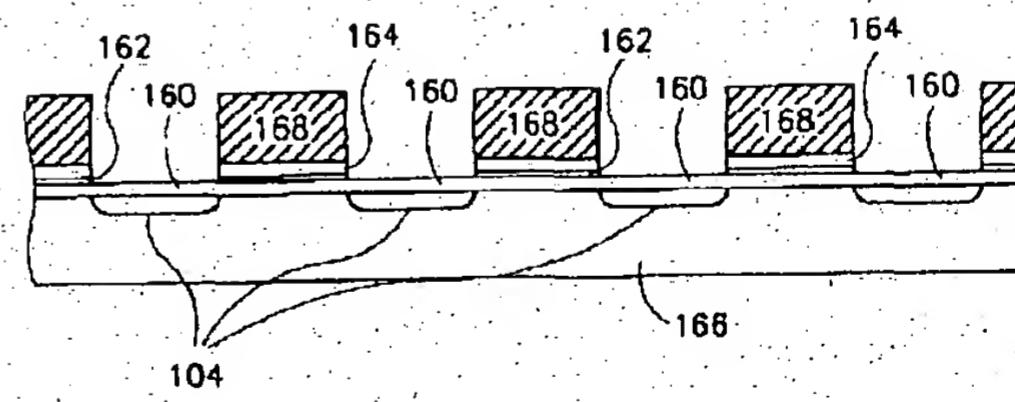
【図11】



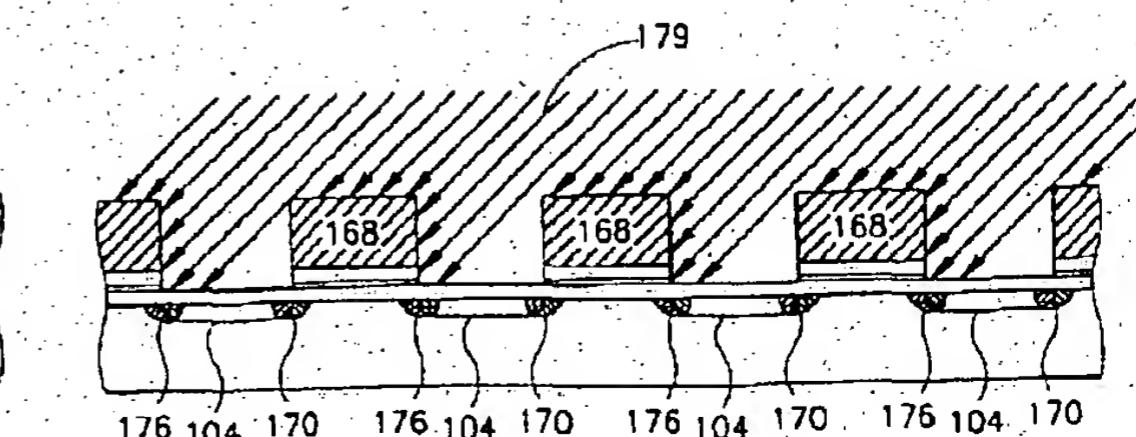
【図13】



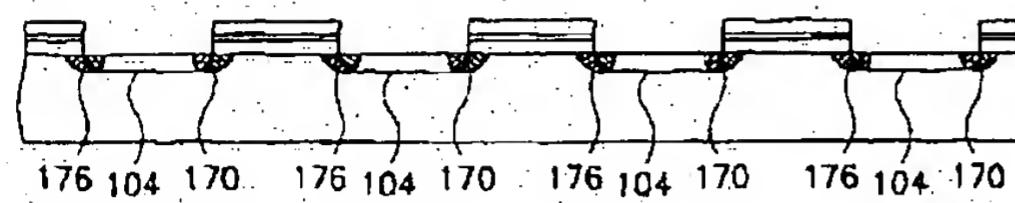
【図12】



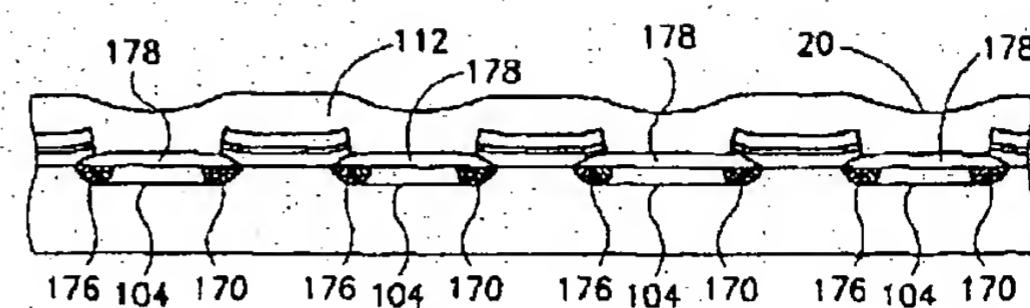
【図14】



【図15】



【図16】



【図17】

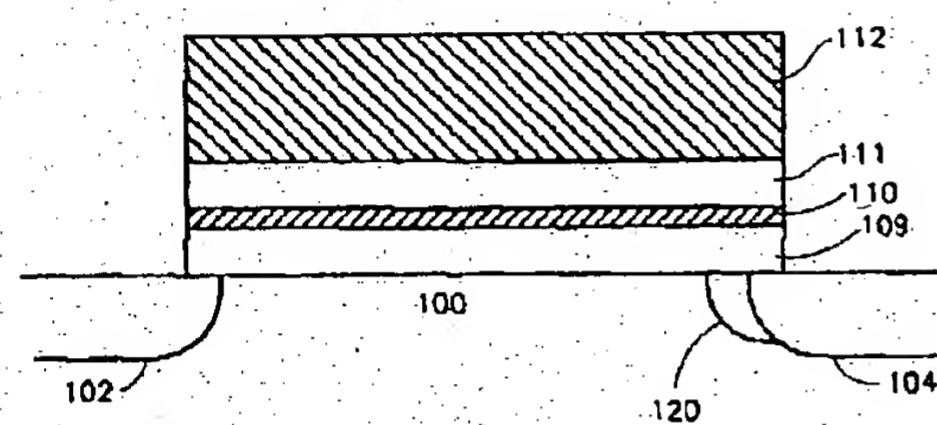


FIG.17A

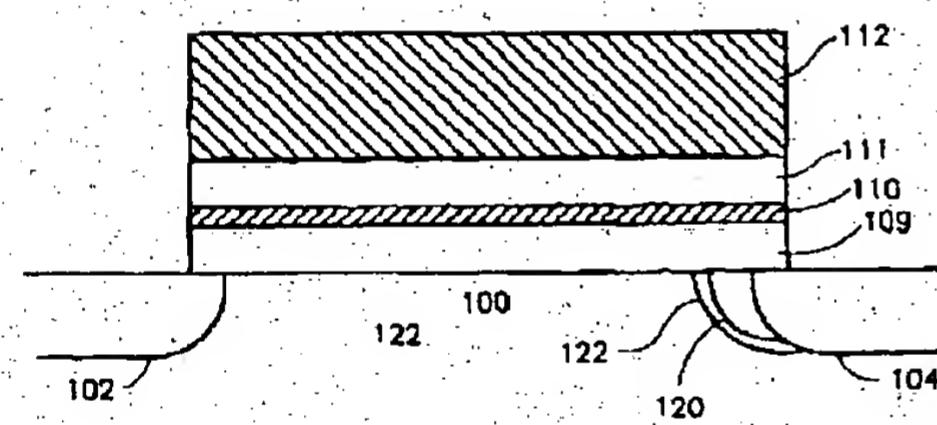
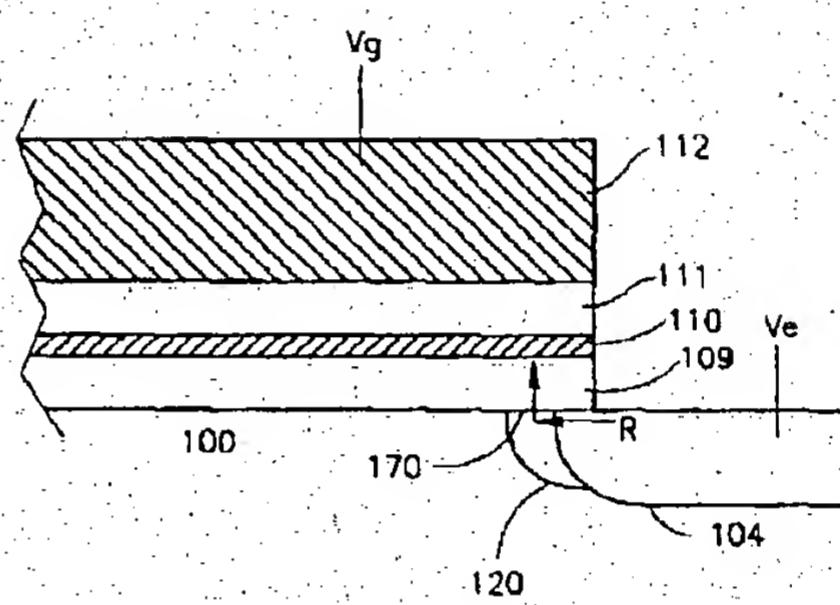


FIG.17B

【図18】



【図19】

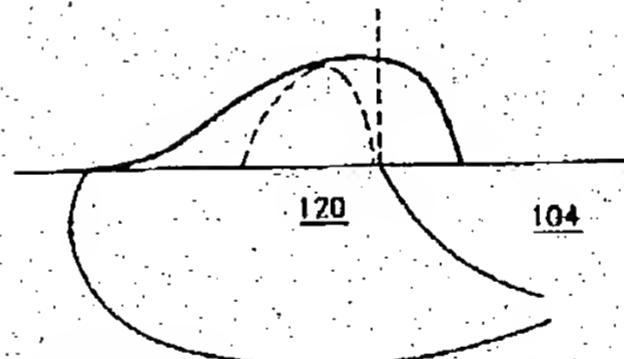


FIG.19A

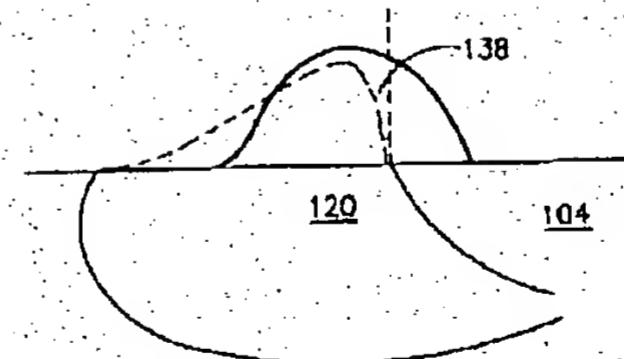


FIG.19B

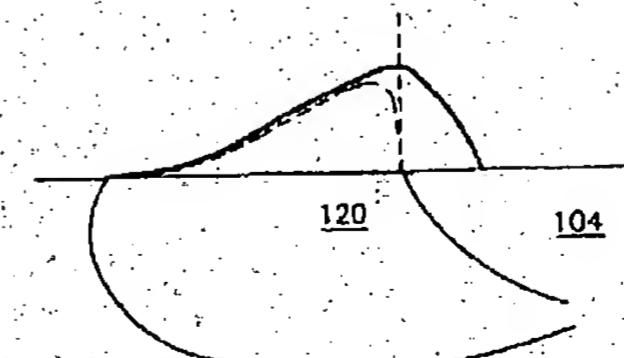


FIG.19C

(13) 01-156189 (P2001-15路)8

【図20】



FIG.20A

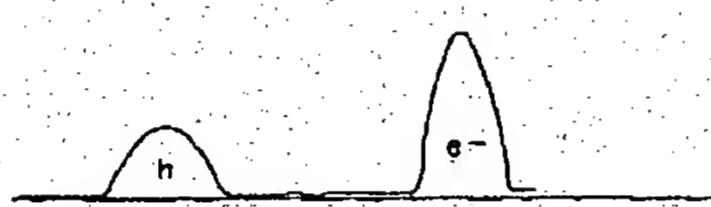


FIG.20B



FIG.20C

【外国語明細書】

1. Title of Invention

**NROM CELL WITH SELF-ALIGNED PROGRAMMING AND
ERASURE AREAS**

2. Claims

1. A nitride programmable read only memory (NROM) cell comprising:
 - a channel;
 - two diffusion areas on either side of said channel, each diffusion area having a junction with said channel;
 - an oxide-nitride-oxide (ONO) layer at least over said channel;
 - a polysilicon gate at least above said ONO layer;
 - a pocket implant self-aligned to at least one of said junctions;
 - at least one area of hot electron injection within said ONO layer and over said pocket implant; and
 - at least one area of hot hole injection generally self-aligned to said at least one area of hot electron injection.
2. A cell according to claim 1 and wherein said pocket implant is a single pocket implant.
3. A cell according to claim 1 and wherein said pocket implant is a double pocket implant.

4. A method of erasing an NROM cell having a channel, two diffusion areas on either side of said channel, each diffusion area having a junction with said channel, an oxide-nitride-oxide (ONO) layer at least over said channel, a pocket implant self-aligned to at least one of said junctions and at least one area of hot electron injection within said ONO layer and over said pocket implant, the method comprising the steps of:
 - generating holes at the intersection of one of said junctions, its neighboring pocket implant and a portion of said ONO layer near said junction;
 - accelerating said holes along the surface of said channel;
 - and
 - injecting said holes close to the area of electron injection.

3. Detailed Description of Invention

FIELD OF THE INVENTION

The present invention relates to FLASH, electrically erasable, programmable read only memory (EEPROM) and nitride, programmable read only memory (NROM) cells in general.

BACKGROUND OF THE INVENTION

Dual bit cells are known in the art although they are not common. Some dual bit cells have multiple threshold voltage levels, where every two threshold voltage levels together store a different bit. Others store one bit on either side of the cell. A dual bit cell of the latter kind, known as nitride, programmable read only memory (NROM) cell, is described in Applicant's copending US patent application 08/905,286, entitled "Two Bit Non-Volatile Electrically Erasable And Programmable Semiconductor Memory Cell Utilizing Asymmetrical Charge Trapping" which was filed August 1, 1997. The disclosure of the above-identified application is incorporated herein by reference.

1 2 3

Figs. 1A, 1B and 1C, to which reference is now made, schematically illustrate the dual bit NROM cell. The cell has a single channel 100 between two bit lines 102 and 104 but two separated and separately chargeable areas 106 and 108. Each area defines one bit. For the dual bit cell of Figs. 1, the separately chargeable areas 106 and 108 are found within a nitride layer 110

formed in an oxide-nitride-oxide sandwich (layers 109, 110 and 111) underneath a polysilicon layer 112.

To read the left bit, stored in area 106, right bit line 104 is the drain and left bit line 102 is the source. This is known as the "read through" direction, indicated by arrow 113. To read the right bit, stored in area 108, the cell is read in the opposite direction, indicated by arrow 114. Thus, left bit line 102 is the drain and right bit line 104 is the source.

2

Fig. 18 generally indicates what occurs within the cell during reading of the left bit of area 106. An analogous operation occurs when reading the right bit of area 108.

To read the left bit in area 106, the left bit line 102 receives the source voltage level V_s , typically of 0V, and the right bit line 104 receives the drain voltage V_d , typically of 2V. The gate receives a relatively low voltage V_g , which typically is a low voltage of 3V.

The presence of the gate and drain voltages V_g and V_d , respectively, induce a depletion layer 54 and an inversion layer 52 in the center of channel 100. The drain voltage V_d is large enough to induce a depletion region 55 near drain 104 which extends to the depletion layer 54 of channel 100. This is known as "barrier lowering" and it causes "punch-through" of electrons from the inversion layer 52 to the drain 104. The punch-through current is only minimally controlled by the presence of charge in right area 108 and thus, the left bit can be read irrespective of the presence or absence of charge in right area 108.

Since area 108 is near left bit line 102 which, for this case, acts as the source (i.e. low voltage level), the charge state of area 108 will determine whether or not the inversion layer 52 is extended to the source 102. If electrons

4

ar trapped in left area 106, then the voltage thereacross will not be sufficient to extend inversion layer 52 to the source 102 and "0" will be read. The opposite is true if area 106 has no charge.

Like floating gate cells, the cell of Figs. 1A and 1B is erasable and programmable. Thus, the amount of charge stored in areas 106 and 108 can be controlled by the user.

For NROM cells, each bit is programmed in the direction opposite that of its reading direction. Thus, to program left bit in area 106, left bit line 102 receives the high programming voltage (i.e. Is the drain) and right bit line 104 is grounded (i.e. Is the source). This is shown in Fig. 1C. The opposite is true for programming area 108.

The high programming voltage pulls electrons from the source 104. As the electrons speed up toward the drain 102, they eventually achieve enough energy to "jump" into the nitride layer 110. This is known as "hot electron injection" and it only occurs in the area close to the drain 102. When the drain voltage is no longer present, the oxide layer 109 prevents the electrons from moving back into the channel 100.

The bits are erased in the same directions that they are programmed. However, for erasure, a negative erasure voltage is provided to the gate 112 and a positive voltage is provided to the bit line which is to be the drain. Thus, to erase the charge in left area 106, the erase voltage is provided to left bit line 102. The highly negative erase voltage creates an electric field in the area near the left bit line 102 which pulls the electrons stored in the area close to the drain. However, the electric field is strong only close to the drain and thus, the charge in right area 108 is not depleted.

Typically, programming and erasure are performed with pulses of voltage on the drain and on the gate. After each pulse, a verify operation occurs in which the threshold voltage level of the cell (i.e. the gate voltage level at which the cell becomes conductive) is measured. During programming, the threshold voltage level V_{tp} is steadily increased so that the cell will not pass any significant current during a read operation. During erasure, the opposite is true; the threshold voltage level V_{te} is decreased until a significant current is present in the cell during reading.

Unfortunately, multiple erase and programming cycles change the number of pulses needed to achieve the desired threshold voltage levels. For the pulses, either the voltage level can remain constant and the number of pulses can be increased or the voltage level can be increased until the desired threshold voltage level is achieved.

The cell will no longer be considered functional once the gate voltage required for erasure is too negative and/or the number of programming pulses is reduced to one.

Figs. 2A, 2B and 2C present experimental results of multiple programming and erase cycles, on log-linear charts. In this experiment, the gate voltage level for erasure was increased, as necessary, and the cell ceased to function after 20,000 cycles.

Fig. 2A graphs the programming and erase threshold voltage levels for both bits. Curves 60 and 62 illustrate the programming threshold voltage levels for the left and right bits, respectively, where the threshold voltage level for the right bit is measured in the forward (and not the reverse) direction. Curves 64 and 66 illustrate the erase threshold voltage levels for the left and right bits.

respectively. It is noted that all curves remain relatively constant until about 2000 cycles at which point the threshold voltage levels increase. It is also noted that the programming threshold voltage level for the left bit, read in the reverse direction, is significantly higher than that for the right bit. However, the erase threshold voltage levels of each bit are smaller than their programming threshold voltage levels.

5

Fig. 28 illustrates the read current I_r after programming (curve 70) and after erasure (curve 72). Both currents decrease strongly after about 4000 cycles.

6

Fig. 26 illustrates the number of programming pulses (curve 74) and the gate voltage during erasure (curve 76). The number of programming pulses drops to one and the gate voltage drops from -6V to -9V after about 3000 cycles.

7

SUMMARY OF THE INVENTION

There is therefore provided, in accordance with a preferred embodiment of the present invention, an NROM cell which has an oxide-nitride-oxide layer over at least a channel and a pocket implant self-aligned to at least one bit line junction. The cell also includes at least one area of hot electron injection within the ONO layer and over the pocket implant and at least one area of hot hole injection generally self-aligned to the area of hot electron injection.

Additionally, in accordance with a preferred embodiment of the present invention, the pocket implant can be a single or a double pocket implant.

There is also provided, in accordance with a preferred embodiment of the present invention, a method of erasing an NROM cell. The cell includes a channel, two diffusion areas on either side of the channel, each diffusion area having a junction with the channel, an oxide-nitride-oxide (ONO) layer at least over the channel, a pocket implant self-aligned to at least one of the junctions and at least one area of hot electron injection within the ONO layer and over the pocket implant. The method comprising the steps of generating holes at the intersection of one of the junctions, its neighboring pocket implant and a portion of the ONO layer near the junction, accelerating the holes along the surface of the channel and injecting the holes close to the area of electron injection.

DETAILED DESCRIPTION OF THE PRESENT INVENTION

Applicant believes that a significant source of the breakdown of the cell is charge trapped far from the relevant drain junction, which charge is hard to erase. This is shown in Figs. 3A, 3B, 3C and 3D, to which reference is now made.

7A - 7D

Figs. 3 show the charge stored in right area 108 of the nitride layer as a function of distance along the channel for one cell. Fig. 3A shows that, after the first cycle of programming, a significant amount of charge, labeled 80, is stored close to the right bit line, which is the drain for programming and erasure. As one moves away from the drain, the amount of charge reduces, eventually to zero. Fig. 3B shows the amount of charge, labeled 82, left after the first erase cycle. The erase electric field is typically so effective that it removes extra electrons (more than were present in charge 80) such that section 82 is positive while section 80 is negative. Section 82 is thus, hatched, to indicate that it is positively charged.

7C 7D 7A 7A

Figs. 3C and 3D parallel Figs. 3A and 3B, respectively, but for after 20,000 cycles. After programming, there is a significant charge, labeled 84, close to the drain, as in Fig. 3A. However, there is also another section of charge, labeled 86, further from the drain, which was injected far from the drain junction and was not erased during previous erase cycles. After the 20,000th erase cycle, the extra section 86 still remains and is negatively charged, though the previously programmed section 84 has become positively charged section 88.

As can be understood from the above discussion, the diffused charge, in section 86, is not erased during erasure operations and remains trapped

there. Trapped charge 86 acts as partially programmed charge. It is due to trapped charge 86 that the fewer and fewer programming pulses are required to achieve the programmed threshold voltage level (since the bit is already, in effect, partially programmed) and that more and more erasure pulses are required to achieve the erase threshold voltage level (since trapped charge 86 is not removed).

Furthermore, the trapped charge 86 affects the reverse read (curves 60 and 64 of Fig. 2A) but not the forward read (curves 62 and 66), which is why the two sets of curves are so different. The negative charge far from the source affects the reverse read since the forward read punches through the region under the trapped charge 86.

Applicant believes that the buildup of trapped charge 86 occurs due to slow hot electron programming in the areas away from the drain where the lateral electric field, though smaller, still is enough to inject electrons. Trapped charge 86 is not erased since the erase electric field is only strong enough to erase in the areas very close to the drain.

Applicant has realized that, to reduce the charge trapping "far" from the bit line junctions, the field far from the junctions must be reduced. However, this field reduction should not adversely affect the programming efficiency. Thus, the high field must be produced near the bit line junction only.

Reference is now made to Figs. 4A and 4B which illustrate an NROM cell, constructed and operative in accordance with two preferred embodiments of the present invention. Figs. 4A and 4B are similar to Figs. 4 and thus, similar reference numerals refer to similar elements. Reference is also made to Figs. 9A and 9B which are graphs of the lateral channel field and the distribution of

8A 8B

channel potential, respectively, for the NROM cells of Figs. 4A and 4B and for a prior art NROM cell.

The NROM cell comprises the channel 100 between the bit lines 102 and 104, the oxide-nitride-oxide sandwich of layers 109, 110, 111, respectively, and the polysilicon gate 112. A blanket threshold implant is usually present in the channel, though not shown specifically. In addition, in accordance with preferred embodiments of the present invention, the NROM cell comprises either one or two extra implants self-aligned to each the junction of each bit line with the channel 100. Fig. 4A shows a Boron implant 120 and Fig. 4B shows Boron implant 120 with a Phosphorous implant 122.

The Boron implant 120 is designed to have a maximum concentration near the bit line 102 or 104 while the Phosphorous implant 122 is designed to have a maximum concentration away from the bit line 102 or 104.

The single pocket implant of Boron 120, in the embodiment of Fig. 4A, increases the threshold voltage level and, correspondingly, the lateral field, of the cell in the area near each bit line. Since Boron creates holes and Phosphorous creates free electrons, the combined profile, in the embodiment of Fig. 4B, is the difference of the two concentrations throughout the channel. Thus, the "double pocket" implant heightens the lateral field near the bit lines 102 and 104 but significantly reduces the lateral field in the rest of the channel 100.

In both embodiments, the implants are used to shape the lateral channel field so that it is high only close to the bit line junction and so that it drops significantly thereafter. This is shown in Figs. 5A and 5B which graph of the channel field and potential, respectively, versus the location along the

channel 100 for the right bit, for both embodiments and for the prior art. For these figures, the left bit line acts as the source and the right bit line acts as the drain. Position 130 is the location of the maximum concentration of Boron and position 132 is the location of the maximum concentration of the Phosphorous implant, if present.

^{9A}
In each Figure, three curves are shown. For Fig. 5A, curve 134 indicates the lateral field with only a blanket threshold V_t implant, curve 136 indicates the lateral field with a single pocket implant, and curve 138 indicates the lateral field with the double pocket implant.

As can be seen in curve 134, when only a blanket V_t implant is present, the lateral field gently increases in the direction of the drain junction. Similarly for the lateral field of a cell with a single pocket implant, except that, as shown in curve 136, the field is lower throughout most of the channel, increasing significantly in the vicinity of the Boron implant, near the drain junction. In fact, near the drain junction, the cell with the single pocket implant has a stronger lateral field than the cell with no pocket implants (curve 134).

For the double pocket implant, as seen in curve 138, the lateral field has a sharp dip 139 in the vicinity of the maximum concentration 132 of the Phosphorous implant and increases sharply toward the drain junction. It is noted that the lateral field is higher near the drain for the double implant than for either the single implant or no implant.

^{9B}
Similarly, for the channel potential of Fig. 5B, Curve 140 graphs the potential for an NROM cell without no implants, curve 141 graphs the potential of a cell with the single pocket implant and curve 142 graphs the potential of a

cell with the double pocket implant. The channel potential starts at the 0V of the source and drops towards the negative V_d of the drain for all embodiments.

With the double pocket implant, the drain voltage is present only in the very close vicinity of the drain (curve 142). For the single pocket implant (curve 141), the drain voltage is spread over a slightly larger area near the drain while for the cell of no implants (curve 140), the drain voltage is spread over a significant area away from the drain.

As indicated by Figs. 5A and 5B, the single and double pocket implants maintain the effect of the drain voltage (high lateral field and strongly negative voltage level) in the vicinity of the drain. For the double pocket implant, there is a sharp drop-off away from the drain.

For both embodiments, the generally thin area of effect forces the programmed charge to remain in a thin area of the nitride 110 (Figs. 4). This improves programming speed when programming 'this' bit. Furthermore, since the programmed charge is maintained in an area near the drain, the erase voltage generally removes all of the charge for this bit. The thin area of effect also ensures effective punchthrough when reading the 'other' bit.

Reference is now made to Fig. 8 which illustrates the threshold voltage level throughout the cell after implantation. As can be seen, the threshold voltage level is low (labeled 150) throughout most of the channel with peaks 152 near the bit line junctions 102 and 104. The height and width of the peaks 152 is a function of the number of implants (one or two) and the locations of maximum concentration of the implant or implants. In general, the general threshold voltage level 150 is at a low level, of about 1V, while the peaks 152 reach a much higher level, such as about 2V.